

**JAPAN PATENT OFFICE**

**PATENT LAID-OPEN OFFICIAL GAZETTE**

Laid-Open No.

H.9-320987

Laid-Open

H.9 (1997) Dec. 12

---

Application No.: H.8-137900

Filed: H.8 (1996) May 31

Inventors: Hirobumi Sumi  
6-7-35, Kitashinagawa, Shinagawa-ku,  
Tokyo  
SONY Corporation

Applicant: 000002185  
SONY Corporation  
6-7-35, Kitashinagawa, Shinagawa-ku,  
Tokyo

Attorney, Agent: Kuninori Funabashi

## 1. TITLE OF THE INVENTION

### Method of Forming Silicide

#### [Summary]

#### [Problem to be Solved]

When a thin titanium silicide layer is formed on a narrow wiring region, narrowing of the wire occurs, causing agglomeration of the titanium silicide. This phenomenon makes it difficult to form a titanium silicide layer with low sheet resistance.

#### [Solution]

A method of forming silicide that involves forming silicon layers as source and drain regions 19 and 20 on silicon substrate 11, forming metal film 21 that reacts with the silicon on source and drain regions 19 and 20, and reacting source and drain regions 19 and 20 with metal film 21 to form silicide layers 22 and 23, in which silicon substrate 11 is thermally treated to remove contaminants, and the natural oxide film is simultaneously removed by sputter-etching the surface of source and drain regions 19 and 20 during heat treatment, after formation of source and drain regions 19 and 20 and immediately before the formation of metal film 21.

## 2. WHAT IS CLAIMED

1. A method of forming silicide, involving a process of forming a silicon layer on a substrate, a process of forming a metal film that reacts with said silicon layer on said silicon layer, and a process of reacting said

silicon layer with said metal film to form a silicide layer, being characterized by that said substrate is thermally treated and the surface of said silicon layer is simultaneously sputter-etched after formation of said silicon layer and immediately before the process of forming said metal film.

2. A method of forming silicide, involving a process of forming a silicon layer on a substrate, a process of forming a metal film that reacts with said silicon layer on said silicon layer, and a process of reacting said silicon layer and said metal film to form a silicide layer, being characterized by that said silicon substrate is thermally treated and then the surface of said silicon layer is sputter-etched after formation of said silicon layer and immediately before the process of forming said metal film.

3. A method of forming silicide, involving a process of forming a silicon layer on a substrate, a process of forming a metal film that reacts with said silicon layer on said silicon layer, and a process of reacting said silicon layer with said metal film to form a silicide layer, being characterized by that said silicon substrate is thermally treated and the surface of said silicon layer is simultaneously sputter-etched after formation of said silicon layer and immediately before the process of forming said metal film, and that said metal film is formed while said heat treatment is continued.

4. A method of forming silicide, as defined in claim 1, being characterized by that said heat treatment is performed in a vacuum where the number of atom collisions per second is maintained at less than  $2 \times 10^{13}/\text{cm}^2$  before sputter-etching.

5. A method of forming silicide, as defined in claim 2, being characterized by that said heat treatment is performed in a vacuum where the number of atom collisions per second is maintained at less than  $2 \times 10^{13}/\text{cm}^2$ .

6. A method of forming silicide, as defined in claim 3, being characterized by that said heat treatment is performed in a vacuum where the number of atom collisions per second is maintained at less than  $2 \times 10^{13}/\text{cm}^2$  before sputter-etching.

### 3. DETAILED DESCRIPTION OF THE INVENTION

[0001]

[Scope of Utilization in Industry]

This invention relates to a method of forming silicide..

[0002]

[Prior Art]

As the miniaturization of elements progresses, the junction of diffusion layers of transistors becomes shallower. In addition, as gate lines become narrower, short-channel effects become more prominent, reducing the source-drain breakdown voltage if the diffusion layers are not shallow enough. Specifically, for a transistor in which the gate line is  $0.25 \mu\text{m}$  wide, the diffusion layers must be as shallow as  $0.08 \mu\text{m}$ .

[0003]

As the diffusion layers become shallower, the sheet resistance of the transistor source-drain increases, degrading the response speed of an element. Assuming a gate delay time of  $\tau_{pd}$ , the operating frequency  $f$  is

related to  $1/\tau$  pd; therefore, the operating frequency cannot be improved if the response speed is reduced. This is particularly disadvantageous for microprocessor units (MPU), for which high-speed operation is required. As a solution to this problem, a salicide process is of great interest, where a low-resistance titanium silicide is selectively formed on sources and drains.

[0004]

The following describes a typical conventional method of forming titanium silicide. After a silicon substrate is treated with hydrofluoric acid (HF) to remove the natural oxide film, a titanium film is formed to a thickness of 50 nm on the entire surface by sputtering, for example. Then, the substrate is thermally treated to allow silicon in the silicon substrate to react with titanium in the titanium film, thus forming a titanium silicide layer (the first stage of heat treatment is carried out in a nitrogen atmosphere at 600°C, and the second stage of heat treatment is carried out in a nitrogen atmosphere at 800°C). The above silicon substrate is then immersed in an ammonia-hydrogen peroxide solution, for example, to selectively etch and remove unreacted titanium film (not shown).

[0005]

If an element is formed using the above example process, the resistance of the diffusion layer formed on the silicon substrate can be reduced by one order of magnitude compared to the resistance of a diffusion layer formed using the conventional process, in which titanium silicide is not formed.

[0006]

[Problems to be Solved by the Invention]

However, since the diffusion layer region is miniaturized along with miniaturization of the element, any titanium silicide formed on a narrow diffusion layer agglomerates, thus making it impossible to reduce the sheet resistance of the diffusion layer. At the same time, the silicide layer is required to be thinner along with the shallowing of the diffusion layer. However, a thin silicide layer makes it difficult to form stable titanium silicide. In other words, since titanium silicide normally agglomerates, the reduction of sheet resistance expected by silicide formation is less effective in the narrower region. Therefore, a technique for forming a thin silicide that does not agglomerate in a narrow region is necessary.

[0007]

As described above, the increase in sheet resistance caused by silicide layer thinning or silicide agglomeration occurs as a result of the following. Failure to completely remove the natural oxide film from the surface of the silicon substrate before the titanium film is deposited; exposing the silicon substrate to an oxidizing atmosphere after pre-treatment (normally using hydrofluoric acid) before titanium film deposition, which results in the formation of an uneven natural oxide film. Since heat treatment is performed for silicidation after the titanium film is formed under such conditions, the silicidation reaction progresses irregularly. It is considered that agglomeration of silicide is accelerated because the uneven silicide tends to recrystallize and stabilize during heat treatment after silicide formation.

[0008]

Reattachment of a natural oxide film can be prevented by performing in-situ pre-treatment using the sputtering system used for titanium film deposition before titanium film deposition. A specific method, in which an etching

system equipped with parallel plates is used for argon ion etching as pre-treatment, is proposed. However, this ion etching method requires 1 kV or greater accelerating voltage for argon ions in order to perform sputtering at sufficient power to remove the natural oxide film. Thus, argon ions are implanted with high energy, and the surface of the silicon substrate becomes rough. As a result of the rough surface, the later silicidation reaction becomes irregular and generates a high residual stress in the substrate, causing the silicide layers to peel partially. In addition, since the region where long gate wirings are provided is exposed to plasma during sputter-etching, the thin gate oxide film is damaged and broken by plasma exposure. Therefore, a silicide processes is required that does not increase the resistance as a result of the narrowing of wiring and maintains the desired junction leakage characteristics.

[0009]

[Means for Solving the Problem]

This invention is a method of forming silicide as a solution to the above problems. Specifically, the first invention involves a process of forming a silicon layer on a substrate, a process of forming a metal film that reacts with the silicon layer, and a process of reacting the silicon layer with the metal film to form a silicide layer, and solves the problems by thermally treating said substrate and simultaneously sputter-etching the surface of the silicon layer after formation of said silicon layer and immediately before the process of forming said metal film.

[0010]

In the first invention, where said substrate is thermally treated and the surface of the silicon layer is simultaneously sputter-etched after formation of said

silicon layer and immediately before the process of forming said metal film, the adsorbed contaminants on the surface of the silicon layer, e.g., moisture and oxygen, are thoroughly removed by said heat treatment. Thin oxide films such as the natural oxide film are also removed by sputter-etching. In this case, if etching is set to a depth of 3 to 5 nm, for example, the surface of the silicide layer can be prevented from becoming rough. Such a clean condition for the top surface of the silicide layer allows the later silicidation reaction to progress regularly. As a result, agglomeration of silicide does not occur because the even silicide recrystallizes and stabilizes during heat treatment after silicide formation.

[0011]

The second invention is a method of forming silicide, which involves a process of forming a silicon layer on a substrate, a process of forming a metal film that reacts with the silicon layer, and a process of reacting the silicon layer with the metal film to form a silicide layer, and solves the problems by thermally treating said substrate and then sputter-etching the surface of the silicon layer after formation of said silicon layer and immediately before the process of forming said metal film.

[0012]

In the second invention, where said substrate is thermally treated and the surface of the silicon layer is then sputter-etched after formation of said silicon layer immediately before the process of forming said metal film, the adsorbed contaminants on the surface of the silicon layer, e.g., moisture and oxygen are thoroughly removed by said heat treatment. Thin oxide films such as the natural oxide film are also removed by sputter-etching. In this case, if etching is set to a depth of 3 to 5 nm, for example, the surface of the silicide layer can be prevented from becoming rough. Such a clean condition for



the top surface of the silicide layer allows the later silicidation reaction to progress regularly. As a result, agglomeration of silicide does not occur because the even silicide recrystallizes and stabilizes during heat treatment after silicide formation.

[0013]

The third invention is a method of forming silicide, which involves a process of forming a silicon layer on a substrate, a process of forming a metal film that reacts with the silicon layer, a process of reacting the silicon layer with the metal film to form a silicide layer, and solves the problems by thermally treating said substrate and simultaneously sputter-etching the surface of the silicon layer after formation of said silicon layer and immediately before the process of forming said metal film while said heat treatment is continued.

[0014]

In the third invention, where said substrate is thermally treated and the surface of the silicon layer is simultaneously sputter-etched after formation of said silicon layer and immediately before the process of forming said metal film, the adsorbed contaminants on the surface of the silicon layer, e.g., moisture and oxygen are thoroughly removed by said heat treatment. Thin oxide films such as the natural oxide film are also removed by sputter-etching. In this case, if etching is set to a depth of 3 to 5 nm, for example, the surface of the silicide layer can be prevented from becoming rough. Such a clean condition for the top surface of the silicide layer allows the later silicidation reaction to progress regularly. As a result, agglomeration of silicide does not occur because the even silicide recrystallizes and stabilizes during heat treatment after silicide formation. Also, since said metal film is formed while said heat treatment is continued immediately after said sputter-

etching, the silicon linkages on the top surface of the silicon layer are broken by the sputter-etching, and thus the silicidation reaction occurs simultaneously with metal film deposition in the region where metal and silicon are in contact.

[0015]

[Embodiment]

The following describes the first embodiment using the first invention. In the first embodiment, adsorbed contaminants that can be removed relatively easily such as moisture and oxygen are removed by heat treatment at 150 to 900°C, preferably between 300 and 400°C.

Simultaneously, the top surface of the silicon layer, on which silicide layers are later formed, is etched to a depth of approximately 3 to 5 nm by inductively-coupled plasma (ICP) soft etching (sputter-etching). The metal film (e.g., titanium film) for forming the silicide is then formed in-situ, resulting in the formation of the silicide layer.

[0016]

The following describes an application example, where the above process is applied to the method of fabricating MOS transistors, referring to figure 1, i.e., the fabrication process chart.

[0017]

As shown in figure 1(1), element separation areas 12 are first formed on silicon substrate 11, and then gate insulation film 13 and gate wiring (also acting as a gate electrode) 14 are formed. Then, lightly doped drains (LDD) 15 and 16 are formed in the active areas of silicon substrate 11 on both sides of gate wiring 14 by ion implantation. Sidewall insulation films 17 and 18 are formed along the sides of gate wiring 14, and source and

drain regions 19 and 20 are formed in the active areas of silicon substrate 11 with intervening said ion-implanted LDDs 15 and 16. This forms MOS transistor 1.

[0018]

As shown in figure 1(2), the natural oxide film (not shown) in the active areas of silicon substrate 11 is removed by ICP soft etching. Simultaneously, the silicon substrate is heated at 300 to 400°C. Typical conditions for the above soft etching are:

Etching gas: argon (Ar), 10 sccm (sccm indicates the volume flow rate ( $\text{cm}^3/\text{minute}$ ) at normal state),  
Pressure of etching atmosphere: 0.06 Pa,  
Vcd: 100 V,  
ICP power: 1 kW,  
Substrate temperature: 300°C

As a result, the surface of silicon substrate 11 is etched to a depth of 3 to 5 nm of the silicon oxide film. Note that wet etching using diluted hydrofluoric acid may be inserted before the above ICP soft etching.

[0019]

Immediately after the above ICP soft etching procedure, metal film 21, which will become the silicide, is formed on the entire surface by sputtering. Here, silicon substrate 11 is prevented from being exposed to an oxidizing atmosphere at the transition from the process of ICP soft etching to the process of metal film 21 deposition.

Typical conditions for the film deposition are:

Sputtering gas: argon (Ar), 100 sccm,  
Pressure of sputtering atmosphere: 0.47 Pa,

Power: 1 kW,

Substrate temperature: 150°C

The titanium film is thus formed to a thickness of 30 nm as metal film 21.

[0020]

As shown in figure 1(3), RTA is then carried out as the first stage of heat treatment for the formation of silicide in order to react the silicon in silicon substrate 11 (source and drain regions 19 and 20) with titanium in metal film 21 (see figure 1(2)), thus forming the titanium silicide layers as silicide layers 22 and 23. Here, if gate wiring 14 is polycrystalline silicon, for example, silicide layer 24 is also formed on gate wiring 14.

Typical conditions for the heat treatment are:

Heat treatment atmosphere: nitrogen ( $N_2$ ), 5 dm<sup>3</sup>/ minute,

Heat treatment temperature: 650°C,

Heat treatment time: 30 seconds

[0021]

Silicon substrate 11 is then immersed in ammonia-hydrogen peroxide solution ( $NH_3 + H_2O_2$ ) to selectively remove the unreacted metal film 21 (not shown). Figure 1(3) shows the state after the unreacted metal film 21 has been removed.

[0022]

RTA is further carried out as the second stage of heat treatment for forming a silicide layer.

Typical conditions for the heat treatment are:

Heat treatment atmosphere: nitrogen ( $N_2$ ), 5 dm<sup>3</sup>/ minute,  
Heat treatment temperature: 800°C,  
Heat treatment time: 30 seconds

As a result, silicide layers 22 to 24 with the C49 crystal structure are modified to stable silicide layers with the C54 crystal structure.

[0023]

As shown in figure 1(4), interlayer insulation film 31 of silicon oxide is then formed over MOS transistor 1 by CVD. Typical conditions for the deposition of interlayer insulation film 31 are:

Deposition gas: tetraethoxysilane (TEOS), 50 sccm,  
Pressure of deposition atmosphere: 40 Pa,  
Substrate temperature: 720°C.

Interlayer insulation film 31 is thus formed to a thickness of 600 nm.

[0024]

Subsequently, a resist film having a hole is formed on the area, on which a contact hole is later made, by standard lithography techniques (e.g., resist film formation by coating, exposure, development, and baking). Contact hole 32 is then formed in interlayer insulation film 31 by etching using the above resist film as a mask. Typical conditions for the dry etching are:

Etching gas: octafluorocyclobutane ( $C_4F_8$ ), 50 sccm,  
RF power: 1.2 kW,  
Pressure of etching atmosphere: 2 Pa

After that, the above etching mask is removed by ashing or washing, for example.

[0025]

Next, wiring materials are formed. A titanium film and a titanium nitride film are deposited to form adhesion layer 41 by sputtering. Typical conditions for the sputtering are:

Sputtering gas: argon (Ar), 100 sccm,  
Sputtering power: 8 kW,  
Substrate temperature: 150°C,  
Pressure of film deposition atmosphere: 0.47 Pa

The titanium film is thus formed to a thickness of 10 nm.

[0026]

Subsequently, a titanium nitride film is formed by sputtering. Typical conditions for the sputtering are:

Sputtering gas: argon, 40 sccm; nitrogen, 2 sccm,  
Pressure of film deposition atmosphere: 0.47 Pa

The titanium nitride film is thus formed to a thickness of 70 nm.

[0027]

Next, a tungsten film is formed by CVD. Typical conditions for the deposition of the tungsten film are:

Reactant gas: argon, 2200 sccm; nitrogen, 300 sccm;  
hydrogen, 500 sccm; tungsten hexafluoride, 75 sccm,  
Temperature of film deposition atmosphere: 450°C,  
Pressure of film deposition atmosphere: 10.64 kPa

The tungsten film is thus formed to a thickness of 400 nm.

[0028]

Next, the above tungsten film is etched back. Typical conditions for the etching are:

Etching gas: sulfur hexafluoride, 50 sccm

RF power: 150 W,

Pressure of etching atmosphere: 1.33 Pa

Plug 42 of tungsten is thus formed inside contact hole 32 by etching.

[0029]

A wiring layer consisting of titanium film 43 as an adhesion layer and aluminum film 44 as the major wiring material is then formed by sputtering, for example.

Typical conditions for the sputtering are:

Sputtering gas: argon, 100 sccm,

Sputtering power: 4 kW,

Substrate temperature: 150°C,

Pressure of film deposition atmosphere: 0.47 Pa

Titanium film 43 is thus formed to a thickness of 30 nm.

[0030]

Next, aluminum film 44 is deposited by sputtering, for example. Typical conditions for the sputtering are:

Sputtering gas: argon, 50 sccm,

Sputtering power: 22.5 kW,

Substrate temperature: 150°C,

Pressure of film deposition atmosphere: 0.47 Pa

Aluminum film 44 is thus formed to a thickness of 0.5  $\mu\text{m}$ .

[0031]

Wiring 45 consisting of aluminum film 44 and titanium film 43 is formed, connecting to plug 42, by standard lithography and etching techniques. Typical conditions for the etching are:

Etching gas: boron trichloride, 60 sccm; chlorine, 90 sccm,  
Microwave power: 1 kW,  
RF power: 50 W,  
Pressure of etching atmosphere: 0.016 Pa

[0032]

In the first invention, where silicon substrate 11 is thermally treated and the surface of silicon substrate 11 is simultaneously sputter-etched after formation of source and drain regions 19 and 20 as silicon layers and immediately before the process of forming metal film 21, the adsorbed contaminants on the surface of silicon substrate 11, e.g., moisture and oxygen are thoroughly removed by said heat treatment. Thin oxide films such as the natural oxide film are also removed by sputter-etching (not shown). In this case, if etching is set to a depth of 3 to 5 nm, for example, the surface of silicon substrate 11 can be prevented from becoming rough. Such a clean condition for the top surface of silicon substrate 11 allows the later silicidation reaction to progress regularly. As a result, agglomeration of silicide does not occur because the even silicide recrystallizes and stabilizes during heat treatment after formation of silicide layers 22 to 24.

[0033]

The following describes the mechanism of the narrowing of silicide wiring, taking titanium silicide as an example. The narrowing effect can be attributed to the change in the crystal structure during titanium silicide formation. Titanium silicide generally takes on the C49 or C54 crystal structure. The low-resistance stable C54 crystal



structure is considered to provide low-resistance stable silicide.

[0034]

The silicide (salicide) process usually involves two stages of heat treatment. The first stage of heat treatment, where a low temperature of approximately 650°C is used, allows silicon to react with titanium thus forming titanium silicide with the C49 crystal structure. The unreacted titanium film is then selectively etched and removed from the silicon oxide film, after which the second stage of heat treatment at a high temperature of approximately 800°C is carried out to form titanium silicide with the C54 crystal structure to a thickness of several microns. The titanium silicide formed in this process agglomerates in narrow regions. This is considered to be caused by that the phase-change of microcrystals (0.1  $\mu\text{m}$ ) in the C49 crystal structure to macrocrystals in the C54 crystal structure does not occur easily during the second stage of heat treatment at a high temperature. The number of C54 crystals nucleated during the first stage of heat treatment determines the number of C54 crystal structures formed during the second stage of heat treatment.

[0035]

The method of forming silicide described in the above embodiment accelerates nucleation of C54 crystals and phase-change from the titanium silicide with the C49 crystal structure. Nucleation is promoted as follows: the adsorbed contaminants on the surface of silicon substrate 11 are thoroughly removed by heat treatment, and thin oxide films such as natural oxide film are removed by ICP soft etching (sputter-etching) while preventing the surface of silicon substrate 11 from becoming rough.

[0036]

By contrast, conventional sputter-etching involves deep etching to remove the natural oxide film that includes the adsorbed contaminants from the surface of the silicon substrate, thus generating an exceptionally rough surface on the silicon substrate, which in turn makes the later reaction between titanium and silicon irregular. In addition, since a large amount of argon is taken into the silicon substrate, silicidation is impeded. As a result, stable silicide with the C54 crystal structure cannot be formed on thin lines. However, in the method of forming silicide described based on the above embodiment, such a problem does not occur, thus allowing stable silicide with the C54 crystal structure to be formed on thin lines.

[0037]

Next, the change in the sheet resistance of titanium silicide with/without heat treatment is shown in figure 2 in terms of the etching depth. In figure 2, the vertical axis indicates the sheet resistance of titanium silicide and the horizontal axis indicates the etching depth. The solid line indicates the resistance in the case with heat treatment for removing the adsorbed contaminants, and the dashed line indicates the resistance in the case without heat treatment.

[0038]

As shown in figure 2, in the case with heat treatment, the sheet resistance is low when the soft etching depth is approximately 3 to 5 nm. Conversely, in the case without heat treatment, the sheet resistance is higher than that in the case with heat treatment when the etching depth for the substrate surface is approximately 3 to 5 nm. Therefore, combining heat treatment and soft etching produces a silicide layer with a low sheet resistance. Note that when the surface of the silicon substrate is

removed such that the silicide layer becomes approximately 30 nm thick, the silicide layer tends to detach.

[0039]

The following describes the second embodiment using the second invention. In the second embodiment, adsorbed contaminants that can be removed relatively easily such as moisture and oxygen are removed by heat treatment at 150 to 900°C, preferably between 300 and 400°C in a different chamber before soft etching. Subsequently, the silicon substrate is transferred and set into the soft etching chamber without exposure to an oxidizing atmosphere, e.g., it is transferred through a high vacuum. In the soft etching chamber, the top surface of the silicon substrate (silicon layer), on which silicide layers are later formed, is etched to a depth of approximately 3 to 5 nm by ICP soft etching (sputter-etching). The metal film (e.g., titanium film) for forming the silicide is then formed, resulting in the formation of the silicide layer.

[0040]

The following describes an application example, where the above process is applied to the method of fabricating MOS transistors. The second embodiment is identical to the first embodiment except for the conditions for the processes described in figure 1(2). Therefore, refer to figure 1(2).

[0041]

As shown in figure 1(2), the silicon substrate is thermally treated in the vacuum system (not shown) at 150 to 900°C, preferably between 300 and 400°C. Subsequently, silicon substrate 11 is transferred to the ICP soft etching chamber (not shown) through a vacuum. The natural oxide film (not shown) on silicon substrate 11 is then removed by ICP soft etching. Typical conditions for the soft etching are:

Etching gas: argon (Ar), 10 sccm,  
Pressure of etching atmosphere: 0.06 Pa,  
Vcd: 100 V,  
ICP power: 1 kW,  
Substrate temperature: 300°C

[0042]

Immediately after the above ICP soft etching procedure, metal film 21 is formed on the entire surface of silicon substrate 11 by sputtering without exposing the substrate to an oxidizing atmosphere. Typical conditions for the film deposition are:

Sputtering gas: argon (Ar), 100 sccm,  
Pressure of sputtering atmosphere: 0.47 Pa,  
Power: 1 kW,  
Substrate temperature: 150°C

As a result, the titanium film is formed to a thickness of 30 nm as metal film 21.

[0043]

RTA is then carried out as the first stage of heat treatment for the formation of silicide layer. Here, the titanium silicide layer takes on the C49 crystal structure. Typical conditions for the heat treatment are identical to those for the first embodiment.

[0044]

The substrate is then immersed in ammonia-hydrogen peroxide solution to selectively remove the unreacted titanium film.

[0045]

RTA is further carried out as the second stage of heat treatment to stabilize the titanium silicide layer. Typical conditions for the heat treatment are:

Heat treatment atmosphere: nitrogen ( $N_2$ ), 5  $\text{dm}^3$ / minute,  
Heat treatment temperature: 800°C,  
Heat treatment time: 30 seconds

As a result, the C49 crystal structure is modified to the C54 crystal structure.

[0046]

The subsequent processes (following the processes described based on figure 1(3)) are identical to those of first embodiment.

[0047]

In the second invention, where silicon substrate 11 is thermally treated and the surface of silicon substrate 11 is then ICP soft-etched after formation of source and drain regions 19 and 20 as silicon layers and immediately before the process of forming metal film 21, the adsorbed contaminants on the surface of silicon substrate 11, e.g., moisture and oxygen are thoroughly removed by said heat treatment. Thin oxide films such as the natural oxide film are also removed by sputter-etching (not shown). In this case, if etching is set to a depth of 3 to 5 nm, for example, the surface of silicon substrate 11 can be prevented from becoming rough. Such a clean condition for the top surface of silicon substrate 11 allows the later silicidation reaction to progress regularly. As a result, agglomeration of silicide does not occur because the even silicide recrystallizes and stabilizes during heat treatment after formation of silicide layers 22 to 24.

[0048]

The following describes the third embodiment using the third invention. In the third embodiment, adsorbed contaminants that can be removed relatively easily such as moisture and oxygen are removed by heat treatment at 150 to 900°C, preferably at a temperature that allows a silicide layer to form. Simultaneously, the top surface of the silicon layer, on which silicide layers are later formed, is etched to a depth of approximately 3 to 5 nm by ICP soft etching (sputter-etching). Simultaneously, the silicon linkages on the top surface are broken. While the above heat treatment is continued, the metal film (e.g., titanium film) for forming the silicide is then formed in-situ. During this process, the silicidation reaction between the metal in the metal film and the silicon in the silicon layer also progresses.

[0049]

The following describes an application example, where the above process is applied to the method of fabricating MOS transistors. The third embodiment is identical to the first embodiment except for the conditions for the processes described in figure 1(2). Therefore, refer to figure 1(2). Note that cobalt is used for metal film 21 instead of titanium.

[0050]

As shown in figure 1(2), the first stage of heat treatment is carried out. The appropriate temperature for the heat treatment here should be high enough to allow cobalt silicide to be formed (e.g., 550°C), while considering that a cobalt film is deposited as metal film 21 to form later cobalt silicide ( $\text{CoSi}_2$ ). Typical conditions for the heat treatment are:

Pressure of heat treatment atmosphere: 0.06 Pa,  
Heat treatment temperature: 550°C

[0051]

Subsequently, natural oxide film is removed during the above heat treatment by ICP soft etching. The etching depth for the ICP soft etching is 3 to 5 nm. Typical conditions for the soft etching are:

Etching gas: argon (Ar), 10 sccm,  
Pressure of etching atmosphere: 0.06 Pa,  
Vcd: 100 V,  
ICP power: 1 kW,  
Substrate temperature: 550°C

[0052]

Immediately after the above ICP soft etching procedure, metal film 21 is formed on the entire surface of silicon substrate 11 by sputtering without exposing the substrate to an oxidizing atmosphere. Typical conditions for the film deposition are:

Sputtering gas: argon (Ar), 100 sccm,  
Pressure of sputtering atmosphere: 0.47 Pa,  
Power: 1 kW,  
Substrate temperature: 550°C

As a result, a cobalt film is thus formed to a thickness of 30 nm as metal film 21. Since the substrate temperature is 550°C during the above film deposition process, cobalt silicide layers 52 to 54 are formed simultaneously with the film deposition on source and drain regions 19 and 20 and gate wiring 14, as shown in figure 3.

[0053]

The substrate is then immersed in sulfuric acid-hydrogen peroxide solution to selectively remove the unreacted portion of the cobalt film.

[0054]

RTA is further carried out as the second stage of heat treatment to stabilize the titanium silicide layer. Typical conditions for the heat treatment are:

Heat treatment atmosphere: nitrogen ( $N_2$ ), 5 dm<sup>3</sup>/ minute,

Heat treatment temperature: 800°C,

Heat treatment time: 30 seconds

[0055]

The subsequent processes (following the processes described based on figure 1(3)) are identical to those of first embodiment.

[0056]

In the third invention, where silicon substrate 11 is thermally treated and the surface of source and drain regions 19 and 20 is simultaneously ICP soft-etched (sputter-etched) after formation of source and drain regions 19 and 20 as silicon layers and immediately before the process of forming metal film 21, the adsorbed contaminants on the surface of source and drain regions 19 and 20, e.g., moisture and oxygen, are thoroughly removed by the above heat treatment. Thin oxide film such as the natural oxide film is also removed by sputter-etching. In this case, if etching is set to a depth of 3 to 5 nm, for example, the surface of later-formed silicide layers can be prevented from becoming rough. Such a clean condition for the top surface of the silicon layers allows the later silicidation reaction to progress regularly. As a result, agglomeration of silicide does not occur because the even silicide recrystallizes and stabilizes during heat treatment after silicide formation. Also, since metal film 21 is formed while said heat treatment is continued immediately after said soft etching, the soft etching



breaks the silicon linkages on the top surface of the silicon layer, and thus the silicidation reaction occurs simultaneously with the deposition of metal film 21 in the region where metal and the silicon are in contact.

[0057]

The following describes the fourth embodiment. In the fourth embodiment, adsorbed contaminants are desorbed by thermally treating the silicon substrate in a high vacuum. In other words, when the surface of the silicon substrate is thermally treated in a high vacuum, lattice vibration increases on the surface, increasing the kinetic energy of vibration higher than the atom's adsorption power. As a result, the vibration of the adsorbed atoms also increases, causing desorption. Conversely, when heat treatment is conducted in a low vacuum, atoms in the atmosphere collide and re-adsorb onto the substrate. For example, the number of molecules with molecular weight  $M$  that collide against the surface area of  $1 \text{ cm}^2$  at temperature  $T$  (K) under an atmosphere of pressure  $P$  (Pa) every second is defined as  $N = 3.85 \times 10^{24} P (MT)^{-1/2} \text{ cm}^{-2} \text{ s}^{-1}$ . For example,  $3 \times 10^{14}$  atoms collide against a surface area of  $1 \text{ cm}^2$  every second at room temperature when  $P = 0.133 \text{ mPa}$ . As these collisions may result in re-adsorption, heat treatment should be conducted in a high vacuum in order to prevent re-adsorption.

[0058]

Since there are  $10^{15}$  atoms per  $\text{cm}^2$  in the first atomic layer, a monoatomic layer covers the surface of the silicon substrate every three seconds in the above example. Considering that the heat treatment time is approximately 60 seconds, the substrate must be thermally treated under vacuum conditions that ensure that a monoatomic layer of contaminants does not form in this time. Specifically, heat treatment should be carried out in a vacuum that

maintains the number of atom collisions per second at approximately  $2 \times 10^{13}/\text{cm}^2$  or fewer. Subsequently, the top surface of the silicon layer, on which silicide layers are later formed, is etched to a depth of approximately 3 to 5 nm by ICP soft etching.

[0059]

The following describes an application example, where the above process is applied to the method of fabricating MOS transistors. The fourth embodiment is identical to the first embodiment except for the conditions for the processes described in figure 1(2). Therefore, refer to figure 1(2).

[0060]

The heat treat is carried out in vacuum. Typical conditions for the heat treatment are:

Pressure of heat treatment atmosphere: 10  $\mu\text{Pa}$ ,

Heat treatment temperature: 400°C

[0061]

Subsequently, natural oxide film is removed during the above heat treatment by ICP soft etching. Typical conditions for the soft etching are:

Etching gas: argon (Ar), 10 sccm,

Pressure of etching atmosphere: 0.06 Pa,

Vcd: 100 V,

ICP power: 1 kW,

Substrate temperature: 400°C

The surface of silicon substrate 11 (source and drain regions 19 and 20) is then etched to a depth of 3 to 5 nm. Note that the above heat treatment is carried out at 150 to 900°C, preferably between 300 and 400°C.

[0062]

Immediately after the above ICP soft etching procedure, metal film 21 is formed on the entire surface of silicon substrate 11 by sputtering without exposing the substrate to an oxidizing atmosphere. Typical conditions for the film deposition are:

Sputtering gas: argon (Ar), 100 sccm,  
Pressure of sputtering atmosphere: 0.47 Pa,  
Power: 1 kW,  
Substrate temperature: 150°C

As a result, titanium film is thus formed to a thickness of 30 nm as metal film 21.

[0063]

RTA is then carried out as the first stage of heat treatment to form the titanium silicide layers as silicide layers 22 to 24. Here, the titanium silicide layer takes on the C49 crystal structure. Typical conditions for the heat treatment are:

Heat treatment atmosphere: nitrogen, 5 dm<sup>3</sup>/ minute,  
Heat treatment temperature: 650°C,  
Heat treatment time: 30 seconds

[0064]

The substrate is then immersed in ammonia-hydrogen peroxide solution to selectively remove the unreacted titanium film.

[0065]

RTA is further carried out as the second stage of heat treatment to stabilize the titanium silicide layers as silicide layers 22 to 24. That is, the titanium silicide

layers are modified to C54 crystals. Typical conditions for the heat treatment are:

Heat treatment atmosphere: nitrogen, 5 dm<sup>3</sup>/ minute,

Heat treatment temperature: 800°C,

Heat treatment time: 30 seconds

[0066]

The subsequent processes (following the processes described based on figure 1(3)) are identical to those of first embodiment.

[0067]

In the fourth invention, where heat treatment is performed in a high vacuum before soft etching, the collision contaminants are less likely to re-adsorb, thus generating no adsorbed contaminants in the monoatomic layer. This makes it possible to remove the adsorbed contaminants sufficiently.

[0068]

The methods of forming silicide layers, which are described above based on the embodiments, can be achieved by slightly modifying the conventional process. Therefore, stable silicide layers can be formed without a significant increase in LSI fabrication cost. The stable silicide layers eliminate the effect of silicide wiring narrowing, thus improving the heat resistance of the silicide layers and process margin. Since stable silicide layers can be formed using a simple process, deterioration of fabrication yield is prevented.

[0069]

Moreover, in the above-described embodiments, it is not necessary to set projected range  $R_p$  so as to implant silicon ions at the interface between the silicon

substrate and the metal film to induce interaction at the interface in order to destroy and eliminate the natural oxide film formed on the interface between the silicon substrate and the metal film. Therefore, since the silicon substrate is free from damage caused by ion implantation, junction leakage will not deteriorate. In practice, when titanium silicide film is formed by the above silicon ion implantation after the titanium film is formed, junction leakage deteriorates by an order of magnitude despite the sheet resistance of the titanium silicide film on the 0.45  $\mu\text{m}$ -wide region being as low as approximately 3  $\Omega/\text{square}$ .

[0070]

Although ICP soft etching is used as sputter-etching for removing natural oxide film in the above-described embodiments, the triode etching system or electron cyclotron resonance (ECR) etching system, for example, may also be used. Although metal film is deposited by sputtering in the above embodiments, CVD or evaporation, for example, may also be used. The methods of forming silicide using these inventions are also applicable to the formation of metal silicide such as tantalum (Ta), gold (Au), palladium (Pd), nickel (Ni), tungsten (W), molybdenum (Mo), platinum (Pt), zirconium (Zr), and hafnium (H), in addition to titanium silicide or cobalt silicide. In this case, the appropriate metal film should be formed for the corresponding metal silicide. Although these inventions are applied to the method of fabricating MOS transistors in the above embodiments, they may also be applicable to the methods of forming metal silicide for other elements or wirings.

[0071]

[Advantages of the Invention]

As described above, this invention removes the contaminants from the silicon layer during heat treatment at the same time or prior to sputter-etching. The natural oxide film can also be removed from the silicon layer by sputter-etching, and thus the metal film for forming silicide layers can be formed on a clean silicon layer. This allows stable thin silicide layers to be formed on narrow areas without causing the wiring to narrow. As a result, even if the LSI design rule is modified for a smaller size, the resistance of the area on which silicide layers are formed, e.g., the resistance of the source and drain regions, can be reduced, thus improving the LSI response speed.

#### 4. BRIEF DESCRIPTION OF THE DRAWINGS

[Figure 1]

Fabrication process charts of the first embodiment using this invention.

[Figure 2]

A figure indicating the relationship between the sheet resistance and etching depth.

[Figure 3]

A figure for illustrating the third embodiment.

[Numerics in Figures]

11: silicon substrate  
19, 20: source and drain regions  
21: metal film  
22, 23: silicide layer

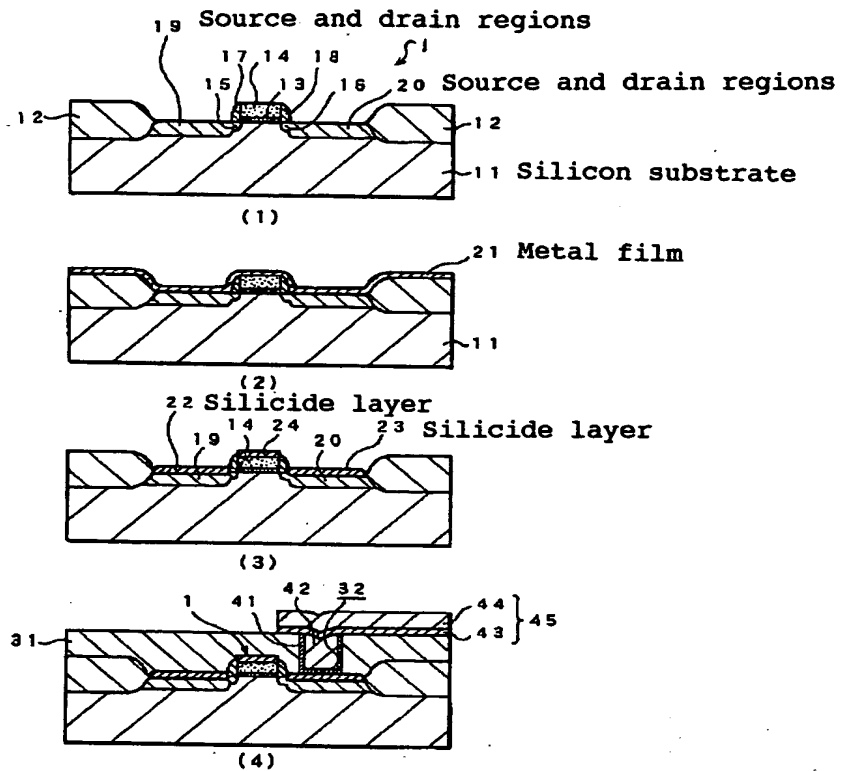


Fig. 1 Fabrication process charts of the first embodiment using this invention

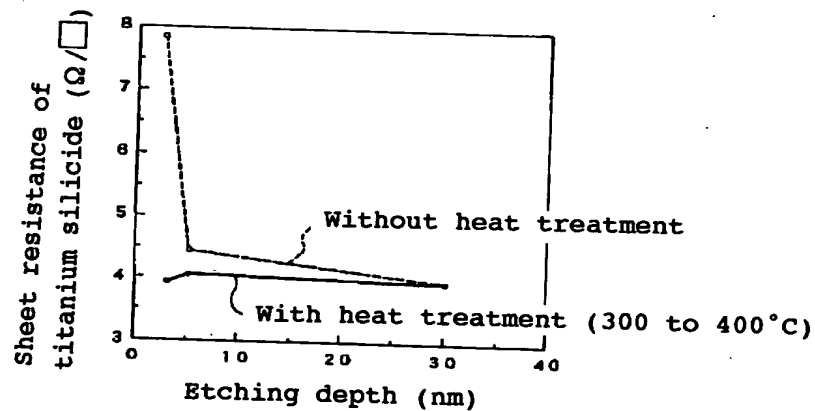


Fig. 2 Relationship between the sheet resistance and etching depth

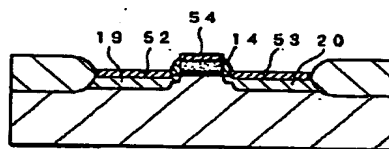


Fig. 3 Figure for illustrating the third embodiment



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-320987

(43)公開日 平成9年(1997)12月12日

(51)IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28 21/3205	3 0 1		H 0 1 L 21/28 21/88	3 0 1 T Q

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21)出願番号 特願平8-137900

(22)出願日 平成8年(1996)5月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 角 ▲博▼文

東京都品川区北品川6丁目7番35号 ソニー株式会社内

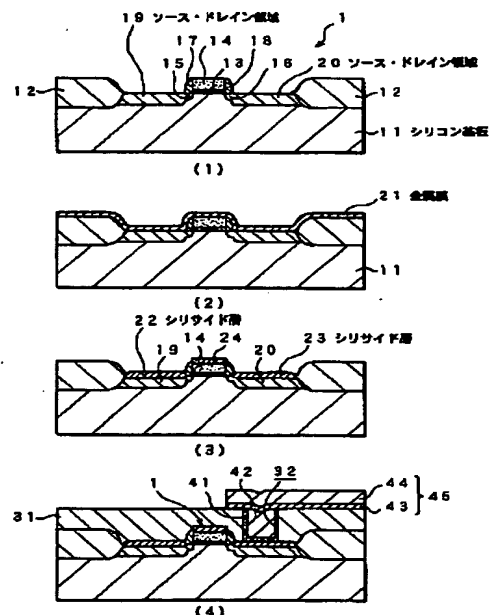
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 シリサイドの形成方法

## (57)【要約】

【課題】 シリサイド層を薄膜化して狭い幅の領域に形成すると、いわゆる細線効果が生じてチタンシリサイドが凝集を起こす。そのため、低いシート抵抗のチタンシリサイド層を形成することは困難であった。

【解決手段】 シリコン基板11にシリコン層としてソース・ドレイン領域19、20を形成する工程と、ソース・ドレイン領域19、20上にシリコンと反応する金属膜21を形成する工程と、ソース・ドレイン領域19、20と金属膜21とを反応させてシリサイド層22、23を形成する工程とを備えたシリサイドの形成方法において、ソース・ドレイン領域19、20を形成した後で金属膜21を形成する工程の直前に、シリコン基板11に熱処理を施して吸着物質を除去するとともに、熱処理中にソース・ドレイン領域19、20の表面をスパッタエッチングして自然酸化膜を除去する。



本発明に係る第1実施形態の製造工程図

## 【特許請求の範囲】

【請求項1】 基板にシリコン層を形成する工程と、前記シリコン層上に、該シリコン層と反応する金属膜を形成する工程と、前記シリコン層と前記金属膜とを反応させてシリサイド層を形成する工程とを備えたシリサイドの形成方法において、前記シリコン層を形成した後で前記金属膜を形成する工程の直前に、前記基板に熱処理を施すとともに、該熱処理中に前記シリコン層の表面をスパッタエッチングすることを特徴とするシリサイドの形成方法。

【請求項2】 基板にシリコン層を形成する工程と、前記シリコン層上に、該シリコン層と反応する金属膜を形成する工程と、前記シリコン層と前記金属膜とを反応させてシリサイド層を形成する工程とを備えたシリサイドの形成方法において、前記シリコン層を形成した後で前記金属膜を形成する工程の直前に、前記基板に熱処理を施した後前記シリコン層の表面をスパッタエッチングすることを特徴とするシリサイドの形成方法。

【請求項3】 基板にシリコン層を形成する工程と、前記シリコン層上に、該シリコン層と反応する金属膜を形成する工程と、前記シリコン層と前記金属膜とを反応させてシリサイド層を形成する工程とを備えたシリサイドの形成方法において、前記シリコン層を形成した後で前記金属膜を形成する工程の直前に、前記基板に熱処理を施すとともに、該熱処理中に前記シリコン層の表面をスパッタエッチングし、さらに前記熱処理を継続しながら前記スパッタエッチングの直後に前記金属膜を形成する工程を行うことを特徴とするシリサイドの形成方法。

【請求項4】 請求項1記載のシリサイドの形成方法において、前記熱処理は、スパッタエッチングを行う前までは、1秒間に $2 \times 10^{11}$ 個/cm<sup>2</sup>以下の衝突原子数となる真空雰囲気で行うことを特徴とするシリサイドの形成方法。

【請求項5】 請求項2記載のシリサイドの形成方法において、前記熱処理は、1秒間に $2 \times 10^{11}$ 個/cm<sup>2</sup>以下の衝突原子数となる真空雰囲気で行うことを特徴とするシリサイドの形成方法。

【請求項6】 請求項3記載のシリサイドの形成方法において、前記熱処理は、スパッタエッチングを行う前までは、1秒間に $2 \times 10^{11}$ 個/cm<sup>2</sup>以下の衝突原子数となる真空雰囲気で行うことを特徴とするシリサイドの形成方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリサイドの形成方法に関するものである。

【0002】

【従来の技術】素子の微細化にともない、トランジスタの拡散層はますます浅い接合になっている。すなわち、いわゆるシャロー化が進んでいる。一方、ゲート線幅が縮小化しているので、拡散層の深さを浅くしないとショートチャネル効果が増大し、ソース・ドレイン耐圧が劣化する。例えばゲート線幅が $0.25 \mu\text{m}$ のトランジスタに対しては拡散層の深さを $0.08 \mu\text{m}$ 程度に浅くする必要がある。

【0003】そして拡散層のいわゆるシャロー化にともない、トランジスタのソース・ドレインのシート抵抗は増大するため、素子の応答速度は劣化する。いま、ゲート遅延時間を $\tau_{pd}$ とすると、動作周波数 $f$ は $1/\tau_{pd}$ に関係することにより、応答速度が劣化すると動作周波数の向上は望めない。これは、特に高速動作を要求されるマイクロプロセッサユニット(MPU)には不利になる。その対策として、ソース・ドレイン上のみに選択的に低抵抗なチタンシリサイドを形成するシリサイド(SALICIDE)プロセスが注目されている。

【0004】ここで、従来のチタンシリサイドの形成方法の一例を説明する。シリコン基板に対してフッ酸(HF)処理を施して自然酸化膜を除去した後、例えばスパッタリングによって、全面にチタン膜を $50 \text{ nm}$ の厚さに形成する。続いて、熱処理(第1熱処理は窒素雰囲気中で $600^\circ\text{C}$ の加熱、および第2熱処理は窒素雰囲気中で $800^\circ\text{C}$ の加熱)を施して、シリコン基板のシリコンとチタン膜のチタンとを反応させてチタンシリサイド層を形成していた。続いて上記シリコン基板を、例えばアンモニア過水に浸漬することで、未反応なチタン膜(図示省略)を選択的にエッチングして除去した。

【0005】上記プロセス例によって素子を形成した場合に、シリコン基板に形成した拡散層の抵抗では、従来のチタンシリサイドを形成しない構造のものよりも1桁程度低下する利点がある。

【0006】

【発明が解決しようとする課題】しかしながら、素子の微細化にともない、拡散層領域も微細化が進行するため、幅の狭い拡散層にチタンシリサイドを形成させると、チタンシリサイドが凝集を起こして、結果として拡散層のシート抵抗の低減化が望めない。また拡散層のシャロー化にともない、シリサイド層を薄膜化する必要がある。しかしながら、シリサイド層を薄膜化すると、チタンシリサイドを安定して形成することが困難になる。すなわち、チタンシリサイドが凝集を起こすため、一層狭い部分ではシリサイドを形成することによるシート抵抗の低減化は望めなくなる。このように、狭い部分にお

いて凝集しにくく、薄いシリサイドの形成技術の開発が望まれる。

【0007】上記のようにシリサイド層の薄膜化にともなうシート抵抗の増大もしくはその原因になるシリサイドの凝集は、チタン膜を成膜する前のシリコン基板表面の自然酸化膜の除去が不十分なため、もしくはチタン膜を成膜前の前処理（通常はフッ酸処理）を行った後、大気中にさらされるため、その際に酸素が吸着して、不均一な自然酸化膜が形成されることに起因する。このような状態でチタン膜を形成した後シリサイド化の熱処理を施すために、シリサイド化反応が不均一に進行する。その結果として、シリサイド形成後の熱処理で不均一なシリサイドが再結晶化で安定化しようとするためにシリサイドの凝集が発生し易くなるといわれている。

【0008】チタン膜を成膜する前に行われる前処理として、チタン膜を成膜するスパッタ装置のいわゆる in-situ で前処理を行うことで、自然酸化膜の再付着を防ぐことができる。その方法として、平行平板を備えたエッチング装置でアルゴンイオンエッチングによって前処理を行う方法が提案されている。しかしながら、このイオンエッチング方法では、自然酸化膜の除去を行う程度のスパッタを得るためには、1 kV 以上のアルゴンイオンの加速電圧が必要になる。そのため、高いイオンエネルギーでアルゴンが入射されるのでシリコン基板の表面が荒れ、その後のシリサイド化反応のときに、不均一なシリサイド化でストレスが大きくなり部分的にシリサイド層が剥がれるという問題が生じる。また、スパッタエッチングの際に、ゲート配線が長く張りめぐらされた部分をプラズマ中にさらすため、薄いゲート酸化膜がプラズマダメージを受けて破壊するという問題が発生する。上記の如くに、いわゆる細線効果により抵抗値が増大せず、かつ接合リーク特性の悪化がないシリサイドプロセスの開発が望まれている。

【0009】

【課題を解決するための手段】本発明は、上記課題を解決するためになされたシリサイドの形成方法である。すなわち、第1の発明は、基板にシリコン層を形成する工程と、シリコン層と反応する金属膜を形成する工程と、シリコン層と金属膜とを反応させてシリサイド層を形成する工程とを備えたシリサイドの形成方法であって、上記シリコン層を形成した後で上記金属膜を形成する工程の直前に、上記基板に熱処理を施すとともに、この熱処理中にシリコン層の表面をスパッタエッチングすることにより、課題の解決を図る。

【0010】第1の発明では、上記シリコン層を形成した後で上記金属膜を形成する工程の直前に、上記基板に熱処理を施すとともに、この熱処理中にシリコン層の表面をスパッタエッチングすることから、上記熱処理によってシリコン層の表面の吸着成分、例えば水分や酸素が完全に除去される。またスパッタエッチングによって自

然酸化膜のような薄い酸化膜が除去される。その際、エッチング深さを例えば3 nm～5 nmとすることでシリサイド層の表面が荒れを防ぐことができる。このようにシリサイド層の最表面が清浄な状態になることによって、その後のシリサイド化反応が均一に進行する。その結果として、シリサイド形成後の熱処理で均一なシリサイドが再結晶化で安定化するためにシリサイドの凝集は発生しない。

【0011】第2の発明は、基板にシリコン層を形成する工程と、シリコン層と反応する金属膜を形成する工程と、シリコン層と金属膜とを反応させてシリサイド層を形成する工程とを備えたシリサイドの形成方法であって、上記シリコン層を形成した後で上記金属膜を形成する工程の直前に、上記基板に熱処理を施した後、シリコン層の表面をスパッタエッチングすることにより、課題の解決を図る。

【0012】第2の発明では、上記シリコン層を形成した後で上記金属膜を形成する工程の直前に、上記基板に熱処理を施した後、シリコン層の表面をスパッタエッチングすることから、上記熱処理によってシリコン層の表面の吸着成分、例えば水分や酸素が完全に除去される。またスパッタエッチングによって自然酸化膜のような薄い酸化膜が除去される。その際、エッチング深さを例えば3 nm～5 nmとすることでシリサイド層の表面が荒れを防ぐことができる。このようにシリサイド層の最表面が清浄な状態になることによって、その後のシリサイド化反応が均一に進行する。その結果として、シリサイド形成後の熱処理で均一なシリサイドが再結晶化で安定化するためにシリサイドの凝集は発生しない。

【0013】第3の発明は、基板にシリコン層を形成する工程と、シリコン層と反応する金属膜を形成する工程と、シリコン層と金属膜とを反応させてシリサイド層を形成する工程とを備えたシリサイドの形成方法であって、上記シリコン層を形成した後で上記金属膜を形成する工程の直前に、上記基板に熱処理を施すとともに、この熱処理中にシリコン層の表面をスパッタエッチングする。さらにこの熱処理を継続しながら上記スパッタエッチングの直後に上記金属膜を形成することにより、課題の解決を図る。

【0014】第3の発明では、上記シリコン層を形成した後で上記金属膜を形成する工程の直前に、上記基板に熱処理を施すとともに、この熱処理中にシリコン層の表面をスパッタエッチングすることから、上記熱処理によってシリコン層の表面の吸着成分、例えば水分や酸素が完全に除去される。またスパッタエッチングによって自然酸化膜のような薄い酸化膜が除去される。その際、エッチング深さを例えば3 nm～5 nmとすることでシリサイド層の表面が荒れを防ぐことができる。このようにシリサイド層の最表面が清浄な状態になることによって、その後のシリサイド化反応が均一に進行する。その

結果として、シリサイド形成後の熱処理で均一なシリサイドが再結晶化で安定化するためにシリサイドの凝集は発生しない。さらにこの熱処理を継続しながら上記スパッタエッチングの直後に上記金属膜を形成することから、上記スパッタエッチングでシリコン層の最表面部のシリコン結合手は破壊され、金属膜の成膜するときには金属とシリコン接触部とでシリサイド化反応が金属膜の成膜と同時に進行する。

【0015】

【発明の実施の形態】第1の発明に係わる実施形態を第1実施形態として、以下に説明する。第1実施形態は、比較的容易に除去可能な水分、酸素等の吸着成分は、150℃～900℃程度、望ましくは300℃～400℃程度の熱処理を加えて除去する。同時に、ICP (Inductively Coupled Plasma) ソフトエッチング (スパッタエッチング) によって、シリサイド層を形成しようとするシリコン層の最表面部を3nm～5nm程度の厚さに除去する。その後、いわゆる*in-situ*でシリサイドを形成するための金属膜 (例えばチタン膜) を形成した後、シリサイド層の生成を行う。

【0016】次に上記プロセスをMOSトランジスタの製造方法に適用した例を、図1の製造工程図によって説明する。

【0017】図1の(1)に示すように、シリコン基板11に素子分離領域12を形成した後、ゲート絶縁膜13およびゲート配線 (ゲート電極にもなる) 14を形成する。次いでイオン注入法によってゲート配線14の両側におけるシリコン基板11のアクティブ領域にLDD (Lightly Doped Drain) 15, 16を形成する。さらにゲート配線14の側壁にサイドウォール絶縁膜17, 18を形成した後、イオン注入法によって、シリコン基板11のアクティブ領域に上記LDD 15, 16を介してソース・ドレイン領域19, 20を形成する。このようにして、MOSトランジスタ1を形成する。

【0018】図1の(2)に示すように、ICPソフトエッチングによって、シリコン基板11のアクティブ領域上に形成されている自然酸化膜 (図示省略) の除去を行う。このとき同時に300℃～400℃程度の温度でシリコン基板を加熱する。上記ソフトエッチング条件は、一例として、

エッチングガス：アルゴン (Ar) ; 10 sccm (以下、sccmは標準状態における体積流量 (cm<sup>3</sup>/分) を表す)、

エッチング雰囲気圧力：0.06 Pa、

Vcd: 100 V、

ICPパワー：1 kW、

基板温度：300℃

に設定した。その結果、シリコン基板11の表面を、酸化シリコン膜に換算して3nm～5nm程度エッチングして除去した。なお、上記ICPソフトエッチングの前

に希フッ酸によるウェットエッチングを行ってもよい。

【0019】続いて上記ICPソフトエッチングの直後に、スパッタリングによって、全面にシリサイドとなる金属膜21を形成する。このとき、シリコン基板11を酸化性の雰囲気中にさらすことなくICPソフトエッチングから金属膜21の成膜へ移行する。

この成膜条件は、一例として、

スパッタリングガス：アルゴン (Ar) ; 100 sccm、

10 スパッタリング雰囲気圧力：0.47 Pa、

パワー：1 kW、

基板温度：150℃

に設定した。そして金属膜21となるチタン膜を30nmの厚さに形成した。

15 【0020】その後図1の(3)に示すように、シリサイドを生成するための第1段階の熱処理としてRTAを行い、上記シリコン基板11 (ソース・ドレイン領域19, 20) のシリコンと上記金属膜21 [図の(2)参照] のチタンとを反応させてシリサイド層22, 23としてチタンシリサイド層を生成する。このとき、ゲート配線14が例えば多結晶シリコンで形成されている場合には、ゲート配線14の上層にもシリサイド層24が形成される。

この熱処理条件は、一例として、

25 熱処理雰囲気：窒素 (N<sub>2</sub>) ; 5 dm<sup>3</sup>/min、

熱処理温度：650℃、

熱処理時間：30 s

に設定した。

30 【0021】さらに上記シリコン基板11をアンモニア過水 (NH<sub>3</sub> + H<sub>2</sub>O<sub>2</sub>) に浸漬して未反応な金属膜21 (図示省略) を選択的に除去した。この図の(3)では未反応な金属膜21を除去した状態を示した。

【0022】さらに、シリサイド層を形成するための第2段階の熱処理としてRTAを行う。

35 この熱処理条件は、一例として、

熱処理雰囲気：窒素 (N<sub>2</sub>) ; 5 dm<sup>3</sup>/min、

熱処理温度：800℃、

熱処理時間：30 s

に設定した。この結果、C49結晶構造のシリサイド層22～24はC54結晶構造の安定したチタンシリサイド層になった。

40 【0023】次に図1の(4)に示すように、CVD法によって、上記MOSトランジスタ1を覆う状態に酸化シリコンからなる層間絶縁膜31を形成する。上記層間

45 絶縁膜31の成膜条件は、一例として、

成膜ガス：テトラエトキシシラン (TEOS) ; 50 sccm、

成膜雰囲気圧力：40 Pa、

基板温度：720℃

50 に設定して、層間絶縁膜31が600nmの厚さになる

ように成膜した。

【0024】続いて通常のリソグラフィ技術（例えば、レジスト塗布によるレジスト膜の形成、露光、現像、ベーク等）の処理によって、接続孔を形成する領域上に孔を有するレジスト膜を形成する。その後上記レジスト膜をマスクに用いたエッチングによって、上記層間絶縁膜31に接続孔32を形成する。このときのドライエッチング条件は、一例として、

エッチングガス：オクタフルオロシクロブタン（ $C_4F_8$ ）；50 sccm、

RFパワー：1.2 kW

エッチング雰囲気圧力：2 Pa、

に設定した。その後、上記エッチングマスクを、例えばアッシングおよび洗浄処理によって除去する。

【0025】次いで配線材料を形成する。まず、スパッタリングによって、チタン膜と窒化チタン膜とを成膜して密着層41を形成する。このスパッタリング条件は、一例として、

スパッタリングガス：アルゴン；100 sccm、

スパッタパワー：8 kW、

基板温度：150℃、

成膜雰囲気圧力：0.47 Pa、

に設定した。そしてチタン膜を10 nmの厚さに成膜した。

【0026】続いてスパッタリングによって窒化チタン膜を形成する。このスパッタリング条件は、一例として、

スパッタリングガス：アルゴン；40 sccmと窒素；20 sccm、

成膜雰囲気圧力：0.47 Pa、

に設定した。そして窒化チタン膜を70 nmの厚さに成膜した。

【0027】次いでCVD法によって、タングステン膜を形成する。このタングステン膜の形成条件は、一例として、

反応ガス：アルゴン；2200 sccm、窒素；300 sccm、水素；500 sccmおよび六フッ化タングステン；75 sccm、

成膜雰囲気温度：450℃、

成膜雰囲気圧力：10.64 kPa、

に設定した。そしてタングステン膜を400 nmの厚さに成膜した。

【0028】続いて、上記タングステン膜をエッチバックする。このエッチバック条件は、一例として、

エッチングガス：六フッ化イオウ；50 sccm、

RFパワー：150 W、

エッチング雰囲気圧力：1.33 Pa、

に設定した。このエッチバックによって、接続孔32の内部にタングステンからなるプラグ42を形成した。

【0029】その後、例えばスパッタリングによって、

密着層となるチタン膜43と主配線材料となるアルミニウム膜44とからなる配線層を形成する。このスパッタリング条件は、一例として、

スパッタリングガス：アルゴン；100 sccm、

05 スパッタパワー：4 kW、

基板温度：150℃、

成膜雰囲気圧力：0.47 Pa、

に設定した。そしてチタン膜43を30 nmの厚さに成膜した。

10 【0030】さらに例えばスパッタリングによって、アルミニウム膜44を成膜する。このスパッタリング条件は、一例として、

スパッタリングガス：アルゴン；50 sccm、

スパッタパワー：22.5 kW、

15 基板温度：150℃、

成膜雰囲気圧力：0.47 Pa、

に設定した。そしてアルミニウム膜44を0.5 μmの厚さに成膜した。

【0031】その後、リソグラフィ技術とエッチング技術とによって、プラグ42に接続するもので、アルミニウム膜44/チタン膜43からなる配線45を形成する。このエッチング条件は、一例として、

エッチングガス：三塩化ホウ素；60 sccmと塩素；90 sccm、

25 マイクロ波パワー：1 kW、

RFパワー：50 W、

エッチング雰囲気圧力：0.016 Pa、

に設定した。

【0032】上記第1実施形態では、上記シリコン基板11にシリコン層となるソース・ドレイン領域19、20を形成した後で上記金属膜21を形成する工程の直前に、上記シリコン基板11に熱処理を施すとともに、この熱処理中にシリコン基板11の表面をスパッタエッチングすることから、上記熱処理によってシリコン基板1

35 1の表面に吸着している水分、酸素等の吸着成分は完全に除去される。またスパッタエッチングによって自然酸化膜のような薄い酸化膜（図示省略）も除去される。その際、エッチング深さを例えば3 nm～5 nmとすることで、シリコン基板11の表面が荒れることを防ぐことができる。このようにシリコン基板11の最表面が清浄な状態になることによって、その後のシリサイド化反応が均一に進行する。その結果として、シリサイド層22～24を生成した後の熱処理で均一なシリサイドが再結晶化で安定化するためにシリサイドの凝集は発生しない。

45 【0033】ここでシリサイドの細線効果のメカニズムとして、チタンシリサイドを例にして説明する。細線効果の原因には、チタンシリサイドの形成にともなう結晶変化があげられる。チタンシリサイドは一般的に、C49結晶構造およびC54結晶構造の2種類が存在する。

このうち低抵抗で安定したC54結晶構造が、低抵抗で安定したシリサイドと考えられている。

【0034】シリサイドプロセス（サリサイドプロセス）は、通常2段階の熱処理を行うことでシリサイドを形成する。第1段階の熱処理は、650℃程度の低温度で行うとシリコンとチタンとが反応して、C49結晶構造のチタンシリサイドが形成される。その後、酸化シリコン膜上の未反応なチタン膜を選択的にエッチングして除去し、次いで第2段階の熱処理である800℃程度の高温熱処理によって、数μm程度のC54結晶構造のチタンシリサイドを生成する。このプロセスで形成されるチタンシリサイドは、狭い部分において凝集を発生する。それは、第2段階の熱処理である高温熱処理時に、C49結晶構造の微細結晶（0.1μm）がC54結晶の大結晶に相転移しにくいことが原因と考えられている。また第1段階の熱処理時に、C54結晶の核形成を如何に多く行えるかが、第2段階の熱処理でC54結晶構造を多く生じさせる決め手になっている。

【0035】上記実施形態で説明したシリサイドの形成方法は、C49結晶構造のチタンシリサイドをC54結晶の核を形成し易くし、かつ相転移をし易くすることを可能にしている。すなわち、核形成を行うことをし易くする手段としては、熱処理によるシリコン基板11の表面の吸着成分の完全なる除去を行い、かつICPソフトエッチング（スパッタエッチング）による自然酸化膜のような酸化膜の除去をシリコン基板11の表面が荒れない状態で行っている。

【0036】一方、従来のスパッタエッチングでは、エッチング量を多くして、すなわちエッチング深さを深くしてシリコン基板の表面上から吸着成分を含めて自然酸化膜を除去しているため、シリコン基板の表面荒れが甚だしく生じ、その後のチタンとシリコンとの反応を不均一にさせている。また、シリコン基板内にアルゴンを多く取り込むため、その影響でシリサイド化が阻害されている。結果として、細線部に安定したC54結晶構造のシリサイドを形成することができない。しかしながら、上記実施形態で説明したシリサイドの形成方法では、上記問題は生じないため、細線部に安定したC54結晶構造のシリサイドを形成することができる。

【0037】次にエッチング深さおよび熱処理有無に対するチタンシリサイドのシート抵抗の変化を、図2によって示す。図2では、縦軸にチタンシリサイドのシート抵抗を示し、横軸にエッチング深さを示す。また実線は吸着成分を除去するための熱処理を行った場合を示し、破線はその熱処理を行わない場合を示す。

【0038】図2に示すように、3nm～5nm程度のソフトエッチングで、熱処理をとまなう場合、エッチング深さが3nm～5nm程度であってもシート抵抗は低くなる。一方、熱処理を行わない場合には、シリコン基板表面のエッチング深さが3nm～5nm程度である

と、熱処理を行った場合よりもシート抵抗が高くなる。したがって、熱処理を行うとともにソフトエッチングを行うことによって、シート抵抗が低いシリサイド層を形成することが可能になる。なお、ソフトエッチングによって、シリコン基板の表面を30nm程度の厚さに除去してシリサイド層を形成した場合には、シリサイド層の剥がれが発生した。

【0039】次に第2の発明に係わる実施形態を第2実施形態として、以下に説明する。この第2実施形態では、ソフトエッチングを行う前に別のチャンバで比較的容易に除去可能な水分、酸素等の吸着成分は、150℃～900℃程度、望ましくは300℃～400℃程度の熱処理を加えて除去する。その後シリコン基板を酸化性に雰囲気にさらすことなく、例えば高真空雰囲気を移送してソフトエッチングチャンバに収納し、その中でICPソフトエッチング（スパッタエッチング）によってシリサイド層を形成しようとするシリコン基板（シリコン層）の最表面部を3nm～5nm程度の厚さに除去する。その後、シリサイドを形成するための金属膜（例えばチタン膜）を形成した後、シリサイド層の生成を行う。

【0040】次に上記プロセスをMOSトランジスタの製造方法に適用した例を、以下に説明する。この第2実施形態は前記図1の（2）で説明した第1実施形態の条件のみを変更した形成方法である。したがって、図面は前記図1の（2）を参照して頂きたい。

【0041】図1の（2）に示すように、真空装置（図示省略）内でシリコン基板11の熱処理を行う。このときの熱処理温度は、150℃～900℃程度、望ましくは300℃～400℃程度に設定した。その後、シリコン基板11をICPソフトエッチングを行うチャンバ（図示省略）内まで真空雰囲気を移送する。そしてICPソフトエッチングによって、シリコン基板11上に形成されている自然酸化膜（図示省略）の除去を行う。

上記ソフトエッチング条件は、一例として、  
エッチングガス：アルゴン（Ar）；10sccm、  
エッチング雰囲気の圧力：0.06Pa、  
Vcd：100V、  
ICPパワー：1kW、  
基板温度：300℃  
に設定した。

【0042】その直後に、上記シリコン基板11を酸化性雰囲気にさらすことなく、スパッタリングを行って、全面に金属膜21を形成した。この成膜条件は、一例として、  
スパッタリングガス：アルゴン（Ar）；100sccm、  
スパッタリング雰囲気の圧力：0.47Pa、  
パワー：1kW、  
基板温度：150℃

に設定した。その結果、金属膜21としてチタン膜を30nmの厚さに形成した。

【0043】その後第1段階の熱処理としてRTAを行い、チタンシリサイド膜を形成する。このときのチタンシリサイド膜はC49結晶になる。この熱処理条件は、前記第1実施形態と同様である。

【0044】さらにアンモニア過水に浸漬して未反応なチタン膜を選択的に除去した。

【0045】さらに第2段階の熱処理としてRTAを行い、チタンシリサイド膜を安定化させた。この熱処理条件は、一例として、

熱処理雰囲気：窒素 ( $N_2$ ) ;  $5 dm^3/min$ 、

熱処理温度：800℃、

熱処理時間：30s

に設定した。その結果、C49結晶はC54結晶となった。

【0046】以降の工程〔前記図1の(3)で説明した以降の工程〕は、上記第1実施形態で説明したのと同様である。

【0047】上記第2実施形態では、上記シリコン基板11にシリコン層となるソース・ドレイン領域19, 20を形成した後で上記金属膜21を形成する工程の直前に、上記シリコン基板11に熱処理を施した後、シリコン基板11の表面をICPソフトエッチングすることから、上記熱処理によってシリコン基板11の表面に吸着している水分、酸素等の吸着成分は完全に除去される。またスパッタエッチングによって自然酸化膜のような薄い酸化膜(図示省略)も除去される。その際、エッチング深さを例えば3nm~5nmとすることで、シリコン基板11の表面が荒れることを防ぐことができる。このようにシリコン基板11の最表面が清浄な状態になることによって、その後のシリサイド化反応が均一に進行する。その結果として、シリサイド層22~24を生成した後の熱処理で均一なシリサイドが再結晶化で安定化するためにシリサイドの凝集は発生しない。

【0048】次に第3の発明に係わる実施形態を第3実施形態として、以下に説明する。第3実施形態では、比較的容易に除去可能な水分、酸素等の吸着成分は、150℃~900℃程度、望ましくはシリサイドが生成されるような温度の熱処理を施して除去する。同時に、ICPソフトエッチング(スパッタエッチング)によって、シリサイド層を形成しようとするシリコン層の最表面部を3nm~5nm程度の厚さに除去する。同時に最表面部のシリコン結合手の破壊する。さらに上記熱処理を継続して、いわゆるin-situでシリサイドを形成するための金属膜(例えばチタン膜)を形成する。このとき同時に、金属膜の金属とシリコン層のシリコンとでシリサイド化反応が進行する。

【0049】次に上記プロセスをMOSトランジスタの製造方法に適用した例を、以下に説明する。この第3実

施形態は前記図1の(2)で説明した第1実施形態の条件のみを変更した方法である。したがって、図面は前記図1の(2)を参照して頂きたい。なお、金属膜21にはチタンの代わりにコバルトを用いた。

05 【0050】前記図1の(2)に示すように、第1段階の熱処理を行う。この熱処理の温度は、金属膜21としてコバルト膜を成膜して後のコバルトシリサイド( $CoSi_2$ )を形成させるプロセスを考慮して、コバルトシリサイドが生成される程度の温度(例えば550℃)とする。この熱処理条件は、一例として、  
熱処理雰囲気の圧力：0.06Pa、  
熱処理温度：550℃、  
に設定した。

【0051】次いで上記熱処理中にICPソフトエッチングによって、自然酸化膜の除去を行う。上記ソフトエッチングにおけるエッチング深さは3nm~5nmとした。上記ソフトエッチング条件は、一例として、  
エッチングガス：アルゴン；10sccm、  
エッチング雰囲気の圧力：0.06Pa、  
20 Vcd：100V、  
ICPパワー：1kW、  
基板温度：550℃  
に設定した。

【0052】その直後に、上記シリコン基板11を酸化性雰囲気にさらすことなく、スパッタリングを行って、全面に金属膜21を形成した。この成膜条件は、一例として、  
スパッタリングガス：アルゴン；100sccm、  
スパッタリング雰囲気の圧力：0.47Pa、  
30 パワー：1kW、  
基板温度：550℃

に設定した。その結果、金属膜21としてコバルト膜を30nmの厚さに形成した。この成膜では、基板温度が550℃になっているので、図3に示すように、成膜と同時に、ソース・ドレイン領域19, 20上およびゲート配線14上にコバルトシリサイド層52~54が形成される。

【0053】さらに硫酸過水に浸漬して未反応なコバルト膜を選択的に除去した。

40 【0054】さらに第2段階の熱処理としてRTAを行い、コバルトシリサイド層52~54を安定化させた。この熱処理条件は、一例として、  
熱処理雰囲気：窒素 ( $N_2$ ) ;  $5 dm^3/min$ 、  
熱処理温度：800℃、  
45 熱処理時間：30s  
に設定した。

【0055】以降の工程〔前記図1の(3)で説明した以降の工程〕は、上記第1実施形態で説明したのと同様である。

50 【0056】上記第3実施形態では、シリコン基板11

にシリコン層となる上記ソース・ドレイン領域19, 20を形成した後で上記金属膜21を形成する工程の直前に、上記シリコン基板11に熱処理を施すとともに、この熱処理中にソース・ドレイン領域19, 20の表面をICPソフトエッチング(スパッタエッチング)することから、上記熱処理によってソース・ドレイン領域19, 20の表面の吸着成分、例えば水分や酸素が完全に除去される。またソフトエッチングによって自然酸化膜のような薄い酸化膜が除去される。その際、エッチング深さを例えば3nm~5nmとすることで、その後に形成されるシリサイド層の表面が荒れることを防止することができる。このようにシリコン層の最表面が清浄な状態になることによって、その後のシリサイド化反応が均一に進行する。その結果として、シリサイド形成後の熱処理で均一なシリサイドが再結晶化で安定化するためにシリサイドの凝集は発生しない。さらにこの熱処理を継続しながら上記ソフトエッチングの直後に上記金属膜21を形成することから、上記ソフトエッチングでシリコン層の最表面部のシリコン結合手は破壊され、金属膜21の成膜するときには金属とシリコン層との接触部でシリサイド化反応が金属膜21の成膜と同時に進行する。

【0057】次に第4実施形態の一例を説明する。この第4実施形態は、熱処理雰囲気をできるだけ高真空状態にして、シリコン基板の温度を上昇させ、吸着成分を脱離させる方法である。すなわち、真空度がよい状態で熱処理を施すと、シリコン基板表面に温度が加わることで表面の格子振動が増し、原子が吸着している力より大きな振動の運動エネルギーを得る。その結果、吸着原子の振動も増して脱離が発生する。一方、熱処理雰囲気の真空状態が悪いと、真空雰囲気中の原子が基板表面に衝突して再吸着する。例えば、圧力P(Pa)の雰囲気で1cm<sup>3</sup>の表面に温度T(K)で分子量Mの分子が毎秒衝突する数Nは、 $N = 3.85 \times 10^{14} P (MT)^{-1/2} \text{ cm}^{-3} \text{ s}^{-1}$ となる。例えばP=0.133mPa、室温状態で1cm<sup>3</sup>に毎秒 $3 \times 10^{14}$ 個の原子が衝突することになる。この衝突成分が再度吸着する可能性があるので、再吸着防止にはできるだけ高真空状態で熱処理を行うことが好ましい。

【0058】また原子第1層には $10^{15}$ 個/cm<sup>2</sup>の原子があることより、上記例では3秒毎に単原子層がシリコン基板表面を覆うことになる。また熱処理を施す処理時間としては60秒程度なので、この時間内に単原子層の吸着物質を形成させない程度の真空度で熱処理を施すことが必要になる。すなわち、1秒間に $2 \times 10^{11}$ 個程度以下の衝突原子を確保できる真空度で熱処理を施せばよい。続いて、ICPソフトエッチングによって、シリサイド層を形成しようとするシリコン層の最表面部を3nm~5nm程度の厚さに除去する。

【0059】次に上記プロセスをMOSトランジスタの製造方法に適用した例を、以下に説明する。この第4実

施形態は前記図1の(2)で説明した第1実施形態の条件のみを変更した方法である。したがって、図面は図1の(2)を参照して頂きたい。

【0060】熱処理は真空中で行う。この熱処理条件は、一例として、

熱処理雰囲気圧力: 10μPa、  
熱処理温度: 400℃、  
に設定した。

【0061】次いで上記熱処理中にICPソフトエッチングによって、自然酸化膜の除去を行う。上記ソフトエッチング条件は、一例として、

エッチングガス: アルゴン; 10sccm、  
エッチング雰囲気圧力: 0.06Pa、  
Vcd: 100V、

ICPパワー: 1kW、  
基板温度: 400℃

に設定した。そしてシリコン基板11(ソース・ドレイン領域19, 20)の表面を3nm~5nmの深さにエッチングした。なお、上記熱処理温度は、150℃~900℃、望ましくは300℃~400℃に設定される。

【0062】その直後に、上記シリコン基板11を酸化性雰囲気中にさらすことなく、スパッタリングを行って、全面に金属膜21を形成した。この成膜条件は、一例として、

スパッタリングガス: アルゴン; 100sccm、  
スパッタリング雰囲気圧力: 0.47Pa、  
パワー: 1kW、  
基板温度: 150℃

に設定した。その結果、金属膜21としてチタン膜を30nmの厚さに形成した。

【0063】その後第1段階の熱処理としてRTAを行い、シリサイド層22~24としてチタンシリサイド膜を形成する。このときのチタンシリサイド膜はC49結晶になる。この熱処理条件は、一例として、

熱処理雰囲気: 窒素; 5dm<sup>3</sup>/min、  
熱処理温度: 650℃、  
熱処理時間: 30s  
に設定した。

【0064】さらにアンモニア過水に浸漬して未反応なチタン膜を選択的に除去した。

【0065】さらに第2段階の熱処理としてRTAを行い、シリサイド層22~24であるチタンシリサイド層を安定化させた。すなわちC54結晶化させた。この熱処理条件は、一例として、

熱処理雰囲気: 窒素; 5dm<sup>3</sup>/min、  
熱処理温度: 800℃、  
熱処理時間: 30s  
に設定した。

【0066】以降の工程〔前記図1の(3)で説明した以降の工程〕は、上記第1実施形態で説明したのと同様



である。

【0067】上記第4実施形態のように、ソフトエッチング前の熱処理を高真空中で行うことによって、衝突成分が再度吸着する可能性が低くなるので、単原子層の吸着物質を形成することがなくなる。そのため、吸着物質の除去が十分に行うことが可能になる。

【0068】上記各実施形態で説明したシリサイド層の形成方法は、従来のプロセスの延長線上で実現することが可能である。そのため、LSIの製造コストを大幅に高めることなく安定したシリサイド層の形成が図れる。また、安定したシリサイド層を形成できるため、シリサイドの細線効果がなくなり、シリサイド層の耐熱性が向上するので、プロセスの余裕度の向上が図れる。さらに単純なプロセスで安定したシリサイド層を形成できるので、生産上の歩留りの問題が発生しにくい。すなわち、歩留りの低下が起きない。

【0069】また上記説明した各実施形態では、シリコン基板と金属膜との界面に形成されている自然酸化膜を消滅させるために、シリコン基板と金属膜との境界部に投影飛程Rpを設定してシリコンイオンを注入し、このシリコンイオンによっていわゆるinter-mixingを界面部に起こして、界面部の自然酸化膜を破壊する必要がない。そのため、シリコン基板内にイオン注入ダメージが形成されることがないので、接合リークが悪化することもない。実際、チタン膜を形成した後に上記シリコンイオン注入を行ってチタンシリサイド膜を形成させた場合には、 $0.45\mu\text{m}$ 幅の狭い領域におけるチタンシリサイド膜のシート抵抗は $3\Omega/\square$ 程度であり、低抵抗となったが、接合リークは1桁以上悪化する結果となった。

【0070】さらに上記各実施形態では、自然酸化膜を除去するためのスパッタエッチングに、ICPソフトエッチングで説明したが、例えばトライオード型エッチング装置、ECR (Electron Cycrotron Resonance) 型エッチング装置を用いたエッチングによって上記スパッタエッチングを行うことも可能である。また金属膜をスパッタリングによって成膜したが、例えばCVD法、蒸着法等によって成膜してもよい。さらにまたチタンシリサ

イド、コバルトシリサイド以外のシリサイドとして、 tantalum (Ta)、金 (Au)、パラジウム (Pd)、ニッケル (Ni)、タングステン (W)、モリブデン (Mo)、白金 (Pt)、ジルコニウム (Zr)、ハフニウム (Hf) 等の金属シリサイドを形成する際にも、本発明のシリサイドの形成方法は同様にして適用することができる。その際には、それぞれの金属シリサイドを形成する金属膜を成膜することになる。また、上記適用例としてMOSトランジスタを一例として説明したが、例えば他の素子に用いられる金属シリサイドの形成、配線に用いられる金属シリサイドの形成等にも適用することが可能である。

#### 【0071】

【発明の効果】以上、説明したように本発明によれば、熱処理を施しながらスパッタエッチングを行う、またはスパッタエッチングを行う前に熱処理を行うので、シリコン層上の吸着物質を脱離することができる。またスパッタエッチングによってシリコン層上の自然酸化膜を除去することができるので、シリサイド層を形成するための金属膜は清浄な状態のシリコン層上に形成することができる。よって、細線効果を起こすことなく、狭い幅の部分にも安定した薄いシリサイド層を形成することが可能になる。その結果、LSIの設計ルールが縮小しても、シリサイド層を形成した領域、例えばソース・ドレイン領域の抵抗の低減化が可能になり、LSIの応答速度の向上が図れる。

#### 【図面の簡単な説明】

【図1】本発明に係わる第1実施形態の製造工程図である。

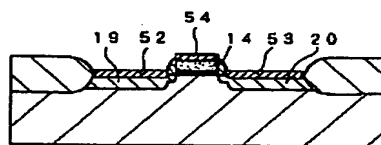
【図2】シート抵抗とエッチング深さとの関係図である。

【図3】第3実施形態の説明図である。

#### 【符号の説明】

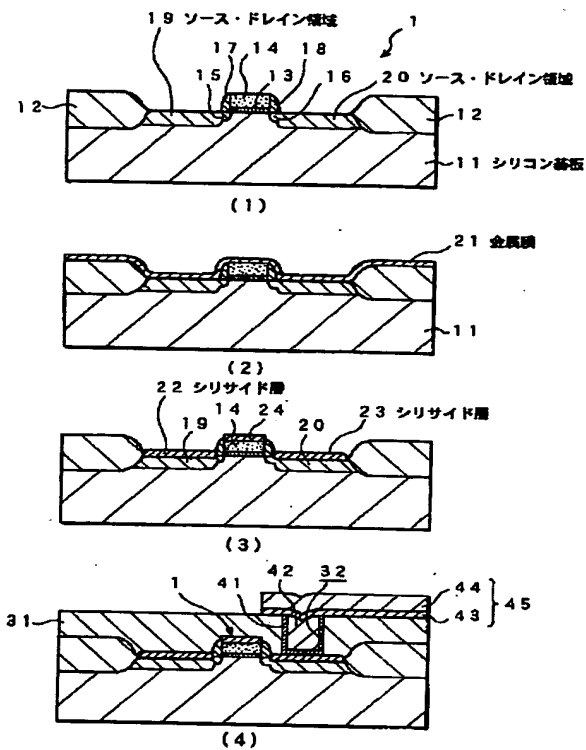
11 シリコン基板 19, 20 ソース・ドレイン領域 21 金属膜 22, 23 シリサイド層

【図3】



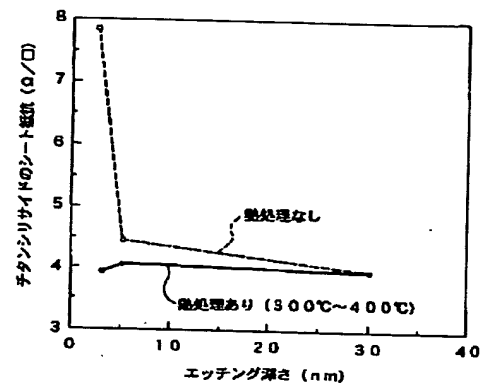
第3実施形態の説明図

【図1】



本発明に係る第1実施形態の製造工程図

【図2】



シート抵抗とエッチング深さとの関係図